

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196469

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

H03M 13/23

H03M 13/00

H04N 7/30

(1)Application number : 10-374503

(71)Applicant : NEC CORP

(2)Date of filing : 28.12.1998

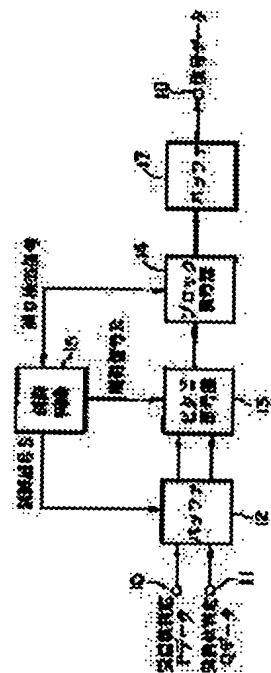
(72)Inventor : TODOROKI TOSHIYA

(4) DATA ERROR CORRECTION SYSTEM

(7)Abstract:

PROBLEM TO BE SOLVED: To enhance quality of a line by repetitively executing data error correction processing and sufficiently correcting a bit error caused in the transmission line.

SOLUTION: The title system is provided with a Viterbi decoder 13 that decodes data coded as designated from a buffer 12 on the basis of the Viterbi algorithm and a block decoder 14 that starts decoding data by a block coding length from the Viterbi decoder 13, and executes error correction when the error correction is possible. When the error correction is disabled, a control circuit 15 controls execution of re-decoding by the Viterbi decoder 13 so that the decoding by the decoder 14 is executed for data of the block code length whose error correction is disabled.



LEGAL STATUS

Date of request for examination]

18.03.1999

Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

Date of final disposal for application]

Patent number]

3239870

Date of registration]

12.10.2001

Number of appeal against examiner's decision of rejection]

Date of requesting appeal against examiner's decision of rejection]

Date of extinction of right]

[0027]

[Effect of the Invention]

5 As described above, the data error correction system according to the present invention comprises: a buffer that receives data encoded by the block encoder and the convolutional encoder; a Viterbi decoder that receives designated data from the buffer and decodes the data
10 according to the Viterbi algorithm; and a block decoder that starts decoding when receiving a block code length of data from the Viterbi decoder, corrects an error when it is correctable, and finally outputs resultant data. When the error is uncorrectable, the control circuit is designed to
15 control re-decoding of the Viterbi decoder so that the block decoder can decode the block code length of data to which error correction could not have been made, based on an error detection signal output from the block decoder. Therefore, the reliability of decoded data obtained by the
20 Viterbi decoder is determined, and the error correction of data as this determination result can be performed in an iterative manner, thereby sufficiently ensure correction of bit errors occurring in a transmission line, resulting in improved line quality.

25 [Brief Description of the Drawings]

 [Fig. 1] A block diagram of a data error correction system according to an embodiment of the present invention.

 [Fig. 2] A block diagram of an error correction encoder for explaining the present invention.

30 [Fig. 3] A block diagram of a Viterbi decoder in Fig. 1.

 [Fig. 4] A schematic diagram of a convolutional encoder for explaining the present invention.

[Fig. 5] An explanatory diagram of data series in each block of Fig. 2.

[Fig. 6] An explanatory diagram of trellis expression for the convolutional encoder in Fig. 4.

5 [Fig. 7] An explanatory diagram of the configuration of an ACS circuit in Fig. 3.

[Fig. 8] An explanatory diagram of trellis expression for traceback processing in the present invention.

10 [Fig. 9] An explanatory diagram of 3-bit soft decision data in the present invention.

[Explanation of Reference Numerals]

12	Buffer
13	Viterbi decoder
14	Block decoder
15	15 Control circuit
32	Block encoder
33	Convolutional encoder
41	Branch metric register
42	Add-Compare-Select circuit (ACS circuit)
20	43 Path metric register
44	Maximum-likelihood state-number order detector
45	Path memory
46	Traceback circuit
47	Decoding control circuit

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-196469

(P2000-196469A)

(43)公開日 平成12年7月14日(2000.7.14)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 3 M 13/23

H 0 3 M 13/12

5 C 0 5 9

13/00

13/00

5 J 0 6 5

H 0 4 N 7/30

H 0 4 N 7/133

A

審査請求 有 請求項の数 4 O L (全 8 頁)

(21)出願番号

特願平10-374503

(22)出願日

平成10年12月28日(1998.12.28)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 森 俊哉

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100108578

弁理士 高橋 詔男 (外3名)

Fターム(参考) 5C059 KK00 RF02 RF05 RF07 SS24

TA76 TC22 TC41 TD11 TD17

UA02 UA05 UA32

5J065 AA01 AB01 AC02 AD10 AE06

AF02 AH02 AH05 AH06 AH09

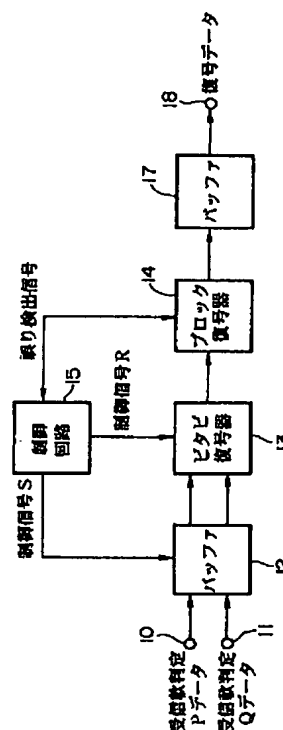
AH15

(54)【発明の名称】 データ誤り訂正システム

(57)【要約】

【課題】 データの誤り訂正処理を繰り返し実行可能にして、伝送路で生じたビット誤りを十分に訂正可能にし、回線品質を向上する。

【解決手段】 バッファ12からの指定の符号化されたデータをビタビアルゴリズムにもとづいて復号するビタビ復号器13と、ビタビ復号器13からのブロック符号長分のデータの復号を開始し、誤り訂正が可能な場合に誤り訂正を実行するブロック復号器14とを設けて、誤り訂正が不可能な場合には、制御回路15に、誤り訂正が不可能となったブロック符号長分のデータのブロック復号器14による復号を実行可能とするように、ビタビ復号器13による再復号化の実行を制御させる。



【特許請求の範囲】

【請求項 1】 ブロック符号器および畳み込み符号器で符号化されたデータを受信するバッファと、
該バッファから出力される指定のデータを受けて、これをビタビアルゴリズムに従って復号するビタビ復号器と、
該ビタビ復号器からブロック符号長分のデータを受けると復号を開始し、誤り訂正が可能な場合に誤り訂正を実行して、結果を出力するブロック復号器と、
前記誤り訂正が不可能な場合に、前記ブロック復号器が出力する誤り検出信号にもとづいて、誤り訂正が不可能となったブロック符号長分のデータの前記ブロック復号器による復号を実行させるように、前記ビタビ復号器による再復号化の実行を制御する制御回路とを備えたことを特徴とするデータ誤り訂正システム。

【請求項 2】 再度の前記誤り訂正が不可能な場合に、誤り訂正が可能になるまで、前記誤り検出信号によるビタビ復号器およびブロック復号器による復号を繰り返し実行させることを特徴とする請求項 1 に記載のデータ誤り訂正システム。

【請求項 3】 前記バッファに入力されるデータが、軟判定表現されたビットデータであることを特徴とする請求項 1 に記載のデータ誤り訂正システム。

【請求項 4】 前記ビタビ復号器が、
前記バッファから出力されるシンボル毎のデータを受信した時に、送信可能な各々のシンボルが送信されたとした場合の確からしさを求めるブランチメトリック生成器と、
生き残りパスの累積メトリックが格納されているパスメトリックレジスタと、
該パスメトリックレジスタの出力と前記ブランチメトリック生成器の出力とを、シンボル時刻毎にトレリス線図に従って加算、比較、選択し、比較して選択した n 状態のパスメトリック値と n 状態の選択情報とを出力する加算比較選択回路と、
該加算比較選択回路の出力である n 状態のパスメトリックの値の中から最大のパスメトリックを持つ状態番号を求める最尤パス状態番号順序検出器と、
前記シンボル時刻毎に前記加算比較選択回路の出力である n 状態の選択情報をメモリに格納するパスメモリと、
符号化されたデータが k ビット毎に区切られ、各 k ビットに u ビットの冗長ビットが付加された場合において、
($u+k$) シンボル時刻毎に、最尤パス状態番号順序検出器の出力の状態番号から所定シンボル時刻分パスメモリを過去に向かってたどっていき、最後に到着したビットから ($u+k$) ビットを復号データとして出力するトレースバック回路と、
前記制御回路からの制御信号を受けて、再復号化を実行させる復号化制御回路とを有することを特徴とする請求項 1 に記載のデータ誤り訂正システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、圧縮された画像データなどのデータを送信する衛星通信や深宇宙通信の分野において、データを誤り訂正符号化し、伝送路で生じたビット誤りをできるだけ訂正して、伝送路の回線品質を向上させるデータ誤り訂正システムに関する。

【0002】

【従来の技術】 デジタル伝送におけるデータの誤り訂正法として、ビタビ復号法 (G. D. Forney, Jr., "The Viterbialgorithm" Proceeding of IEEE, vol. 61, pp 268-278, Mar. 1973) がある。
また、誤り訂正能力を向上させるために、畳み込み符号に、別な符号を組合わせる接続符号が、G. D. Forney, Jr. によって提案されている。さらに、いろいろな分野で使用されているのが、ブロック符号器とリードソロモン符号器とを組み合わせ得られるリードソロモン符号と畳み込み符号による接続符号がある。一方、符号化されたデータの復号は、ビタビアルゴリズムにもとづいて行われ、さらに復号を行った、ビタビ復号データにリードソロモン復号を実行している。

【0003】

【発明が解決しようとする課題】 しかしながら、かかる従来のデータの誤り訂正法にあつては、ビタビ復号器とリードソロモン復号器がそれぞれ独自に誤り訂正を実行しているので、各々の復号器毎の訂正能力しか期待できず、十分な誤り訂正効果および伝送路の回線品質の向上を図ることができないという課題があった。

【0004】 この発明は前記課題を解決するものであり、データの誤り訂正処理を繰り返し実行可能にして、伝送路で生じたビット誤りを十分に訂正し、回線品質を向上できるデータ誤り訂正システムを得ることを目的とする。

【0005】

【課題を解決するための手段】 前記課題を解決するため、請求項 1 の発明にかかるデータ誤り訂正システムは、ブロック符号器および畳み込み符号器で符号化されたデータを受信するバッファと、該バッファからの指定のデータを受けて、これをビタビアルゴリズムに従って復号するビタビ復号器と、該ビタビ復号器からブロック符号長分のデータを受けると復号を開始し、誤り訂正が可能な場合に誤り訂正を実行して、結果を出力するブロック復号器とを設けて、前記誤り訂正が不可能な場合には、制御回路に、前記ブロック復号器が出力する誤り検出信号にもとづいて、誤り訂正が不可能となったブロック符号長分のデータの前記ブロック復号器による復号を実行可能とするように、前記ビタビ復号器による再復号化の実行を制御させるようにしたものである。

【0006】 また、請求項 2 の発明にかかるデータ誤り

訂正システムは、再度の前記誤り訂正が不可能な場合に、誤り訂正が可能になるまで、前記誤り検出信号によるビタビ復号器およびブロック復号器による復号を繰り返し実行させるようにしたものである。

【0007】また、請求項3の発明にかかるデータ誤り訂正システムは、前記バッファに入力されるデータを、軟判定表現されたビットデータとしたものである。

【0008】また、請求項4の発明にかかるデータ誤り訂正システムは、前記ビタビ復号器を、前記バッファから出力されるシンボル毎のデータを受信した時に、送信可能な各々のシンボルが送信されたとした場合の確からしさを求めるブランチメトリック生成器と、生き残りバスの累積メトリックが格納されているパスメトリックレジスタと、該パスメトリックレジスタの出力と前記ブランチメトリック生成器の出力とを、シンボル時刻毎にトレリス線図に従って加算、比較、選択し、比較して選択した n 状態のパスメトリック値と n 状態の選択情報とを出力する加算比較選択回路と、該加算比較選択回路の出力である n 状態のパスメトリックの値の中から最大のパスメトリックを持つ状態番号を求める最尤パス状態番号順序検出器と、前記シンボル時刻毎に前記加算比較選択回路の出力である n 状態の選択情報をメモリに格納するパスメモリと、符号化されたデータが k ビット毎に区切られ、各 k ビットに u ビットの冗長ビットが付加された場合において、 $(u+k)$ シンボル時刻毎に、最尤パス状態番号順序検出器の出力の状態番号から所定シンボル時刻分パスメモリを過去に向かってたどっていき、最後に到着したビットから $(u+k)$ ビットを復号データとして出力するトレースバック回路と、前記制御回路からの制御信号を受けて、再復号化を実行させる復号化制御回路から構成したものである。

【0009】

【発明の実施の形態】以下、この発明の実施の一形態を図について説明する。図1はこの発明のデータ誤り訂正システムを示し、同図において、10、11は受信Pデータおよび受信Qデータをそれぞれ入力する入力端子、12は受信Pデータおよび受信Qデータ、すなわち伝送路にてビット誤りが生じている畳み込み符号器の出力を入力するバッファ、13はバッファ12から出力される指定の受信Pデータ、受信Qデータを入力として、これらをビタビアルゴリズムにもとづいて復号するビタビ復号器、14はビタビ復号器13のブロック符号長分の復号データを入力として復号を行うブロック復号器、17はブロック復号器14からの復号データを外部へ出力するバッファである。

【0010】また、15はブロック復号器14から誤り訂正が不可能と判断されたときに出力される誤り検出信号を受取り、ビタビ復号器13に再復号を予め設定した回数まで繰り返し実施するような制御信号Rを送出するとともに、バッファ12に指定の受信Pデータ、受信Q

データをビタビ復号器13に出力するように、制御信号Sを送出する制御回路である。また、前記ビタビ復号器13は図3に示すように構成されている。同図において、41はバッファ12から出力されるシンボル毎のデータを受信した時に、送信可能な各々のシンボルが送信されたとした場合の確からしさを求めるブランチメトリック生成器、43は生き残りバスの累積メトリックが格納されているパスメトリックレジスタ、42はシンボル時刻毎にブランチメトリック生成器41の出力とパスメトリックレジスタ43の出力とを、トレリス線図に従って加算(Add)、比較(Compare)、選択(Select)し、比較して選択した n 状態のパスメトリック値と n 状態の選択情報とを出力する加算比較選択回路(以下、ACS回路という)である。

【0011】さらに、図3において、44はACS回路42の出力 n 状態のパスメトリック値の中から最大のパスメトリックを持つ状態番号を求める最尤パス状態番号順序検出器、45はシンボル時刻毎にACS回路42の出力 n 状態の選択情報をメモリに格納するパスメモリ、46は $(u+k)$ シンボル時刻毎に、最尤パス状態番号順序検出器44の出力の状態番号から g シンボル時刻、パスメモリ45を過去に向かってたどっていき、最後に到達したビットから $(u+k)$ ビットを復号データとして出力するトレースバック回路、47は図1に示す制御回路15からの制御信号Rを受取ると、再復号化を実行する再復号化制御回路である。

【0012】次に動作を説明する。ここでは、わかりやすくするために、図2に示すブロック符号器32はデータを k ビット毎に区切り、各々の k ビットに u ビットの冗長ビットを付加する符号器で、畳み込み符号器33は符号化率 $R=1/2$ 、拘束長 $K=3$ の場合について考える。まず、送信側の誤り訂正符号器について説明する。この送信側では、まず、図2に示すように、入力端子31介して、データが、ブロック符号器32へ入力される。

【0013】ブロック符号器32では、図5に示すように、最初の i_1, i_2, \dots, i_k の k ビットに c_1, c_2, \dots, c_u の u ビットの冗長ビットを付加し、次の $i_{k+1}, i_{k+2}, \dots, i_{2k}$ の k ビットに $c_{u+1}, c_{u+2}, \dots, c_{2u}$ の u ビットの冗長ビットが付加されるような符号化を行う。

【0014】次に、このようなブロック符号器32の出力は、3段のシフトレジスタと排他的論理和ゲートで構成される畳み込み符号器33により符号化される。すなわち、この畳み込み符号器33では、ブロック符号器32の出力が、図4に示すような入力端子54からシンボル時刻毎にシフトレジスタ50に入り、シフトレジスタ50の指定された各段の出力が排他的論理和ゲート51、52で論理処理され、出力端子55、56から、 P_1, P_2, \dots のPデータ、 Q_1, Q_2, \dots の

Qデータとして出力される。畳み込み符号器33の出力であるPデータ、Qデータは伝送され、誤り訂正復号器の入力端子10、11を介してバッファ12に入力される。なお、この際、Pデータ、Qデータは伝送路で生じた雑音によりどのように変わっているかを、ビタビ復号器13に伝えるために軟判定表現されている。図9には、“0”、“1”に対して、3ビットで軟判定表現したものを示している。

【0015】次に、ビタビ復号器13の動作について説明する。図6は、前記畳み込み符号器33をトレリス表現した図である。左側の{0, 0}, {0, 1},

{1, 0}, {1, 1}は、その畳み込み符号器33のシフトレジスタ50の初段、第二段の{a, b}の中味を示したものである。{0, 0}, {0, 1}, {1, 0}, {1, 1}の右側にある矢印の横の値が、 $(a \times 2 + b)$ を計算した値で、今後、この値を状態番号と呼ぶ。図6を簡単に説明すると、状態番号0の時、畳み込み符号器33に次に入力されるデータが“0”の場合は、状態番号0に遷移し、Pデータ、Qデータ出力値“00”（状態番号0から状態番号0へ遷移する矢印の上に示した値）を出力し、入力されるデータが“1”の場合は、状態番号1に遷移し、Pデータ、Qデータ出力値“11”を出力する。他の状態番号においても、畳み込み符号器33に入力されるデータに応じて、遷移先が決まり、その時のPデータ、Qデータの出力値が遷移する矢印の上に書かれている。ビタビ復号器は、このトレリス表現された図に従って復号処理を行っている。

【0016】すなわち、前記制御回路15からの制御信号Sにより、バッファ12から受信軟判定Pデータ、Qデータがビタビ復号器13に入力されると、ブランチメトリック生成器41は、軟判定データP1、軟判定データQ1に対して、その時の送信データの組(P, Q)が(0, 0), (1, 0), (0, 1), (1, 1)であったとした場合の確からしさ、すなわちブランチメトリックを各々算出する。軟判定データP1、軟判定データQ1に対して、送信データの組が(0, 0)の時のブランチメトリックを $\lambda 0$ 、送信データの組が(1, 0)の時のブランチメトリックを $\lambda 1$ 、送信データの組が

(0, 1)の時のブランチメトリックを $\lambda 2$ 、送信データの組が(1, 1)の時のブランチメトリックを $\lambda 3$ とする。

【0017】ブランチメトリック生成器41はこの $\lambda 0, \lambda 1, \lambda 2, \lambda 3$ をACS回路42に出力する。このとき、図7に示すように、m0時刻の各状態番号のパスメトリック値を $\Gamma 0(m0), \Gamma 1(m0), \Gamma 2(m0), \Gamma 3(m0)$ とする。パスメトリックレジスタ43はこの $\Gamma 0(m0), \Gamma 1(m0), \Gamma 2(m0), \Gamma 3(m0)$ をACS回路42に出力する。ACS回路42は、図7に示すトレリス表現にもとづいて、演算を実行する。すなわち、m1時刻に状態番号0に合

流している遷移は、状態番号0と状態番号2からのものである。状態番号0からの遷移のときの畳み込み符号器からの出力データは“00”なので、そのときのブランチメトリックは $\lambda 0$ 、状態番号2からの遷移のときの畳み込み符号器からの出力データは“11”なので、そのときのブランチメトリックは $\lambda 3$ となり、m0時刻の状態番号0と状態番号2のパスメトリック値は、 $\Gamma 0(m0), \Gamma 2(m0)$ なので、各々、 $\Gamma 0(m0) + \lambda 0, \Gamma 2(m0) + \lambda 3$ の演算を行い、大きい方をm1時刻の状態番号0のパスメトリック値 $\Gamma 0(m1)$ として、パスメトリックレジスタ43に格納する。

【0018】同時に、選択された方の枝値（図7で実線で示した方が選ばれると“0”、破線で示した方が選ばれると“1”）を、m1時刻の状態番号0の枝値S0(m1)として、パスメモリ45に格納する。以下、m1時刻のパスメトリック値 $\Gamma 1(m1), \Gamma 2(m1), \Gamma 3(m1)$ 、枝値S1(m1), S2(m1), S3(m1)を同様に求め、各々、パスメトリックレジスタ43、パスメモリ45に格納する。パスメモリ45は、mg時刻分の枝値情報が格納できるメモリ容量を持つものとする。また、ACS回路42は求めたm1時刻のパスメトリック値 $\Gamma 0(m1), \Gamma 1(m1), \Gamma 2(m1), \Gamma 3(m1)$ をパスメトリックレジスタ6に出力すると同時に、最尤パス状態番号順序検出器44にも出力する。これで、m1時刻の一連の処理が終了する（以後、ACS処理と呼ぶ）。次の軟判定データP2, Q2データが入力されると、上記で説明したACS処理を繰り返し実行する。mg時刻での処理が終わると、制御回路47は、次の命令を与える。

【0019】最尤パス状態番号順序検出器44は、再復号化でなく最初のときは、最尤パスメトリック値 $\Gamma 0(mg), \Gamma 1(mg), \Gamma 2(mg), \Gamma 3(mg)$ の中から最大のパスメトリック値を持つ状態番号をトレースバック回路46に出力する。もし、同じ最大パスメトリック値をもつ状態番号があれば、状態番号が若い番号を選ぶことにする。mg時刻の最大パスメトリック値をもつ状態番号を“2”とすると、トレースバック回路46は、mg時刻で、図8の実線で示す最大パスメトリックをもつ状態番号2に連なるパスを、パスメモリ45の内容を読み出してさかのぼっていく。

【0020】また、トレースバック回路46は、状態番号2に合流するパスが状態番号1および状態番号3のどちらであるかを、パスメモリ45から、m(g-1)時刻の状態番号2に格納されているデータを読み出し、状態番号1からであることを知る。以下、同様の操作を繰り返し、m0時刻までパスをさかのぼり、最後にパスメモリ45より読み出したデータから(k+m)個分のデータ(m1時刻からm(k+m)時刻のデータ)を復号データとして出力する（以後トレースバック処理と呼ぶ）。

【0021】さらに、パスメモリ45は、ACS処理時の書き込み、トレースバック処理時の読み出しを同時に行えるものとする。パスメモリ45は、リング構造になっていて、 $(g+f)$ 時刻分のメモリ容量になっているので、ACS処理によって必要なデータに上書きされることはない。このあと、 g 時刻分のACS処理を実行する毎に、トレースバック処理を行い復号データを出力する。ビタビ復号器13からの復号データ $(m+u)$ ビットは、ブロック復号器14に送出される。

【0022】ブロック復号器14は、ビタビ復号器13からの復号データ $(m+u)$ ビットに対して復号を開始し、誤り訂正が実行できれば、画像データ情報の k ビットのみをバッファ17に出力する。もし、誤り訂正不可能であれば、誤り検出信号を制御回路15に送出する。制御回路15は誤り検出信号を受取ると、再復号実行のため、制御信号Rをビタビ復号器13内の制御回路47に送出する。

【0023】制御回路47は、制御信号Rを受取ると、最尤パス状態番号順序検出器44に、次に大きなパスメトリック値を持つ状態番号をトレースバック回路46に出力させる。もし、同じ最大パスメトリック値をもつものがあれば、前回のつぎに状態番号が若い番号を選ぶ。 mg 時刻に最大パスメトリック値をもつ状態番号"2"の次に大きなパスメトリック値をもつ状態番号が"0"とすると、トレースバック回路46は、 mg 時刻で、図8の点線で示す状態番号2に連なるパスを、パスメモリ45の内容を読み出してさかのぼっていく。トレースバック回路46は、状態番号0に合流するパスが状態番号0および状態番号2のどちらであるかを、パスメモリ45から $m(g-1)$ 時刻の状態番号0に格納されているデータを読み出し、状態番号0からであることを知る。

【0024】以下、同様の操作を繰り返し、 $m0$ 時刻までパスをさかのぼり、最後にパスメモリ45より読み出したデータから $(k+m)$ 個分のデータ($m1$ 時刻から $m(k+m)$ 時刻のデータ)を復号データとして出力する。ブロック復号器14は、再度ビタビ復号器13からの復号データ $(m+u)$ ビットを受取り、復号を開始する。この時、誤り訂正が実行できれば、データ情報の k ビットのみをバッファ17に出力する。もし、再び、誤り訂正不可能であれば、誤り検出信号を制御回路15に送出し、誤り訂正が実行できるまで、または、状態番号の数だけ上述の操作を繰り返す。状態番号の数実行しても訂正不可能であれば、最初にトレースバック処理で得られた $(k+u)$ ビットをバッファ17に出力する。

【0025】ここで、制御回路15は、制御信号1をバッファ12に送り、バッファ12は順々に受信軟判定Pデータ、Qデータをビタビ復号器13に出力する。ビタビ復号器13は、次の $(k+u)$ ビットを復号し、この $(k+u)$ ビットの確からしさを同様に調べていき、結果をバッファ17に出力する。バッファ17は、出力端

子18を介して復号された画像データを出力する。ここで、バッファ12とバッファ17が存在するのは、伝送路で生じるビット誤りの度合いによる復号処理の変動を吸収するためのものである。

【0026】なお、前記実施の形態では、ビタビ復号器13のトレースバック処理を $(k+u)$ ビット毎に実行した場合を示したが、 $(k+u)$ ビットより小さい単位でトレースバック処理を実行するようにしてもよい。このようにすることで、ブロック復号器14が誤り検出信号を送出した際の繰り返し復号で、 $(k+u)$ ビットのどの箇所が誤っているかがより明確になり誤り訂正能力の向上につながる。また、ブロック復号器14の誤り訂正ビットを制限することにより(例えば、4ビット誤りまで訂正可能な誤り訂正符号を用いた場合、3ビット誤りまで訂正し、4ビットの誤りの場合誤り検出信号を出す)、疑わしい $(k+u)$ ビットを明確にすることで、繰り返し復号で訂正することができる。さらに、ブロック符号器に誤り訂正符号を用いず、1ビットのパリティビットを付加するだけの誤り検出符号を用いることで回路規模の低減を図ることができる。

【0027】

【発明の効果】以上のように、この発明によれば、ブロック符号器および畳み込み符号器で符号化されたデータを受信するバッファと、該バッファからの指定のデータを受けて、これをビタビアルゴリズムに従って復号するビタビ復号器と、該ビタビ復号器からブロック符号長分のデータを受けると復号を開始し、誤り訂正が可能な場合に誤り訂正を実行して、結果を出力するブロック復号器とを設けて、前記誤り訂正が不可能な場合には、制御回路に、前記ブロック復号器が出力する誤り検出信号にもとづいて、誤り訂正が不可能となったブロック符号長分のデータの前記ブロック復号器による復号を実行可能とするように、前記ビタビ復号器による再復号化の実行を制御させるように構成したので、ビタビ復号器で得た復号データの信頼性を判定し、この判定結果であるデータの誤り訂正処理を繰り返し実行可能にして、伝送路で生じたビット誤りを十分に訂正可能にし、これにより回線品質を向上できるという効果が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の一形態によるデータ誤り訂正システムを示すブロック図である。

【図2】 この発明を説明する誤り訂正符号器を示すブロック図である。

【図3】 図1におけるビタビ復号器を示すブロック図である。

【図4】 この発明を説明する畳み込み符号器を示す概念図である。

【図5】 図2のブロック各部におけるデータ系列を示す説明図である。

【図6】 図4における畳み込み符号器のトレリス表現

を示す説明図である。

【図7】 図3のACS回路の構成を説明する図である。

【図8】 この発明におけるトレースバック処理のトレリス表現を示す説明図である。

【図9】 この発明における3ビット軟判定データを示す説明図である。

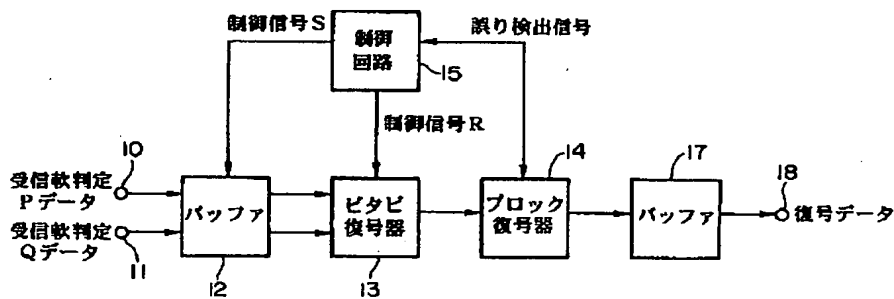
【符号の説明】

- 12 バッファ
13 ビタビ復号器
14 ブロック復号器

- * 15 制御回路
32 ブロック符号器
33 畳み込み符号器
41 ブランチメトリックレジスタ
42 加算比較選択回路(ACS回路)
43 パスメトリックレジスタ
44 最尤状態番号順序検出器
45 パスメモリ
46 トレースバック回路
47 復号化制御回路

*

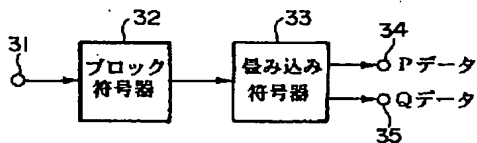
【図1】



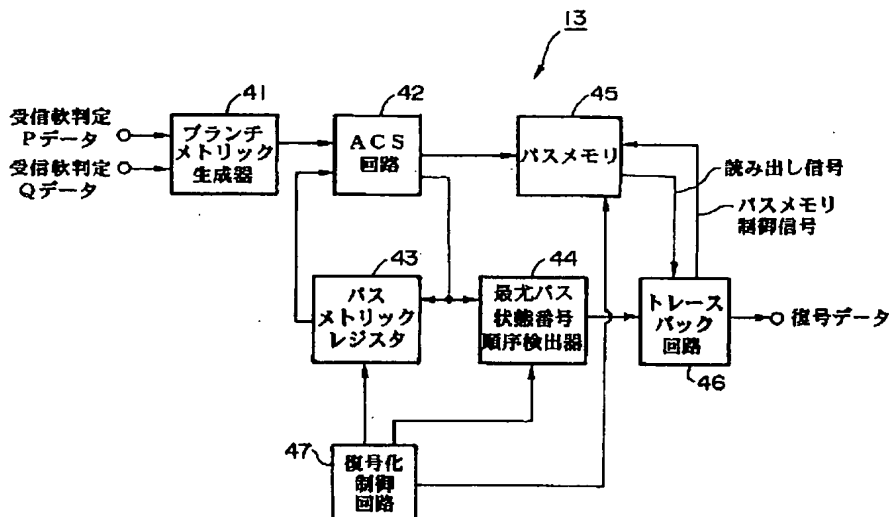
【図9】

軟判定データ			
1	1	1	1
	1	1	0
	1	0	1
	1	0	0
0	0	1	1
	0	1	0
	0	0	1
	0	0	0

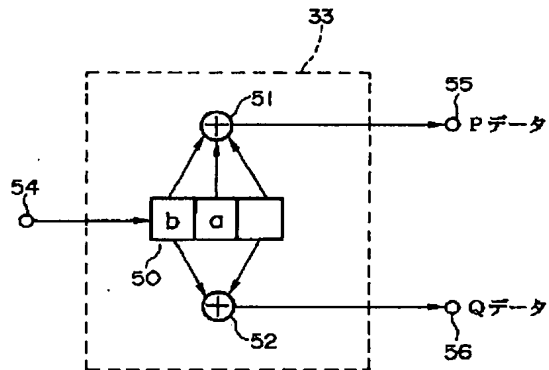
【図2】



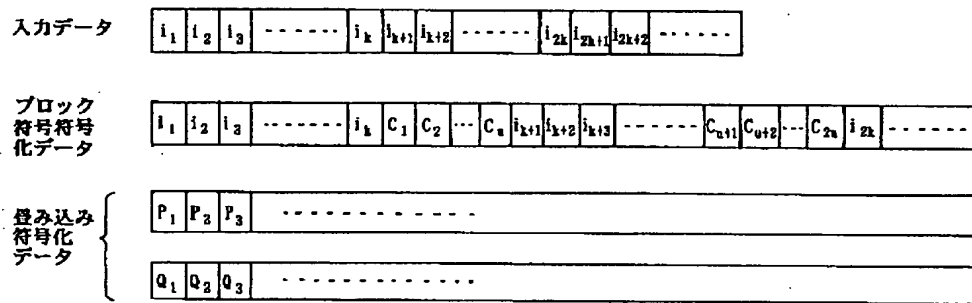
【図3】



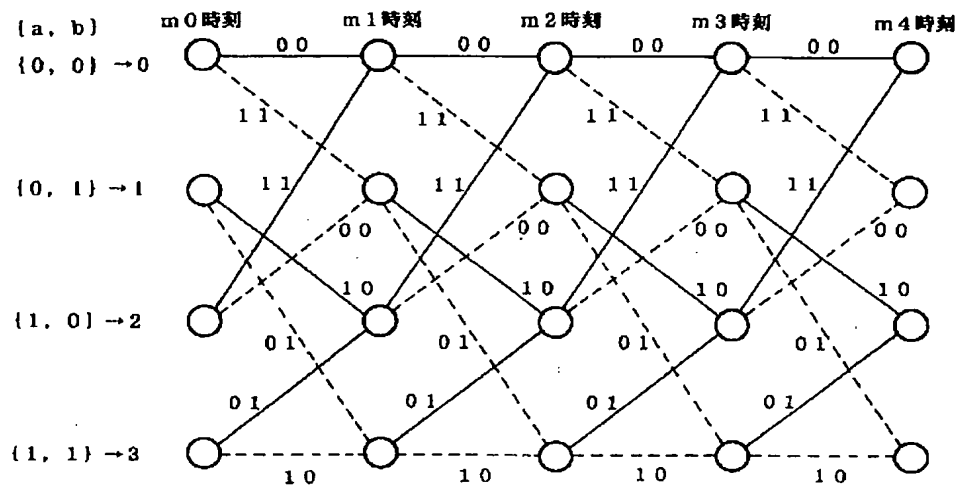
【図4】



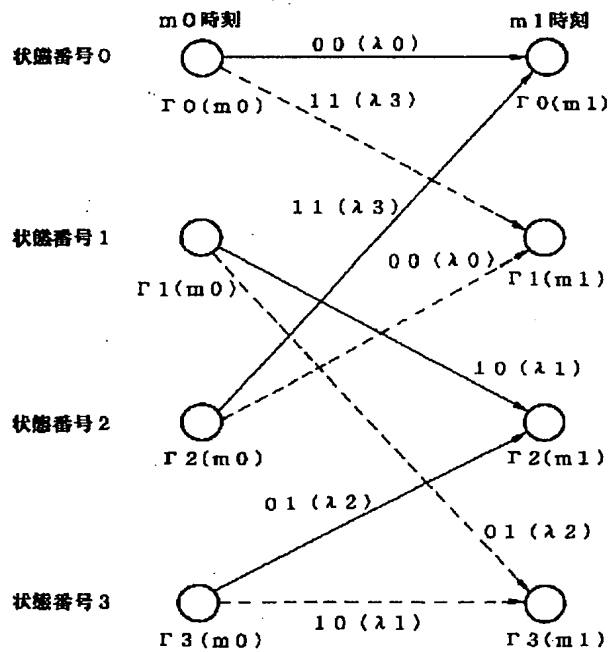
【図5】



【図6】



【図7】



【図8】

